

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 19 873.6

Anmeldetag: 24. April 2001


Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zur Herstellung von Metall/Halb-
leiter-Kontakten

IPC: H 01 L 21/283

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag


Faust

Beschreibung

Verfahren zur Herstellung von Metall/Halbleiter-Kontakten

5 Die Erfindung betrifft ein Verfahren zur Herstellung von Metall/Halbleiter-Kontakten, insbesondere von Bitleitungs-
kontakten für eine integrierte Schaltung (IC), auf einer Halbleiterscheibe und eine Speicherzelle mit einem solchen
Metall/Halbleiter-Kontakt, insbesondere zum Einsatz in einem
10 dynamischen Schreib/Lesespeicher mit wahlfreiem Zugriff (DRAM).

Zum Kontaktieren elektronischer Bauelemente in einer integrierten Schaltung (IC) auf einem Halbleiterchip werden
15 Kontaktstrukturen in einer Isolatorschicht eines Wafers mit Hilfe von Strukturierungsverfahren ausgebildet und anschließend mit einem Leitungsmaterial aufgefüllt. Als Leitungsmaterial werden Metalle, Metallegierungen, dotierte Halbleiter sowie elektrisch leitfähige organische Substanzen
20 eingesetzt. Hierbei besitzen die verschiedenen Materialien unterschiedliche elektrische Eigenschaften. In der Regel weisen Kontakte aus Metallen bzw. Metallegierungen die beste elektrische Leitfähigkeit auf.

25 Die Kontaktierung von Halbleiterschichten bei dynamischen Speicherchips mit Hilfe von Metallkontakten findet nach dem heutigen Stand der Technik aber lediglich bei den peripheren Substratkontakten in den peripheren Schaltkreisen und nicht in den Speicherzellen selbst statt.

30 Bitleitungskontakte der Speicherzellen weisen aufgrund der hohen Integrationsdichte von DRAMs sehr hohe Aspektverhältnisse bei relativ kleinen Kontaktflächen auf, was das Einbringen von gleichmäßigen Liner-Schichten zur Herstellung von
35 Metall/Halbleiter-Kontakten im Speicherzellenfeld nicht praktikabel macht. Solche Liner-Schichten zwischen dem Halbleitersubstrat und dem Metall sind jedoch notwendig, um Schäden am Halbleitersubstrat, die bei der Deposition des Metalls

und der weiteren thermischen Behandlung entstehen können, zu verhindern.

Die unmittelbar im Bereich der Kontaktfläche einer Bitleitung definierten Strukturelemente reagieren weiterhin äußerst empfindlich auf den Herstellungsprozess der Bitleitungskontakte. Die im allgemeinen bei der Kontaktierung von Halbleiterschichten mit Metallen notwendige Dotierung des Halbleiters mit Fremdatomen, um die unterschiedlichen Leitungsbandpotentiale von Metall und Halbleiter anzugleichen, ruft beträchtliche Schäden im Kristallgitter des Halbleitersubstrats hervor. Diese Schäden würden die Funktion der Speicherzelle beeinträchtigen und im schlimmsten Fall zur Zerstörung der gesamten Speicherzelle führen.

Aufgrund der oben aufgezeigten Probleme bei der Herstellung von Metall/Halbleiter-Kontakten, wird zum Auffüllen der Bitleitungskontaktlöcher herkömmlicherweise dotiertes Polysilizium eingesetzt, welches keine besondere Anpassung zum Halbleitersubstrat benötigt und sich auch besonders gut zum Auffüllen von Kontaktlöchern mit hohem Aspektverhältnis eignet.

Bei diesem, im weiteren Verlauf als Polysilizium-Prozess bezeichneten Herstellungsverfahren erfolgt die Definition der Bitleitungsstrukturen üblicherweise mit Hilfe der Photolithographie-Technik, wobei zunächst eine Photolackschicht auf die Wafer-Oberfläche aufgebracht wird, die eine Maske für die nachfolgende Ätzung der Isolatorschicht bildet. Vor einer Metallabscheidung zur Auffüllung des Kontaktloches muss das native Oxid, das sich als ein Bestandteil der photolithographischen Schicht im Kontaktloch ansammelt entfernt werden. Der Reinigungsvorgang wird herkömmlicherweise als nass-chemische Ätzung ausgeführt. Die hierbei verwendeten chemischen Substanzen, insbesondere BHF, greifen oft auch die Isolatorschicht an und führen im erheblichen Maße zur Aufweitung der definierten Kontaktloch-Strukturen, so dass durch

diesen Prozess das Risiko von Kurzschlüssen zwischen benachbarten Bitleitungen deutlich erhöht wird. Um derartige Kurzschlüsse zu verhindern, werden deshalb die Bitleitungs-
kontakte von vornherein kleiner dimensioniert. Dieses Vor-
5 gehen schränkt jedoch das Prozessfenster für die Ätzung der Bitleitungskontakte im beträchtlichen Maße ein.

Der Kontaktwiderstand der Bitleitungskontakte wird beim Polysilizium-Prozess ganz wesentlich von der Dotierung des Polysiliziums bestimmt. Eine Reduzierung des Widerstandes des
10 Bitleitungskontaktes kann bei diesem Prozess nur durch eine höhere Dotierung des Polysiliziums erreicht werden, wodurch wiederum die Gefahr entsteht, dass der Dotierstoff auch in den Kanalbereich des Auswahltransistors ausdiffundiert und
15 hierdurch die Funktion des Transistors beeinträchtigt wird. Die Gefahr einer Ausdiffusion von Dotierstoff in den Kanalbereich bestimmt auch den kleinsten räumlichen Abstand der Transistorelektroden zueinander und beschränkt somit die Reduktionsfähigkeit der Bitleitungskontakte beim Polysilizium-Prozess.
20

Aufgabe der vorliegenden Erfindung ist, die Prozessführung zur Herstellung von Metall/Halbleiter-Kontakten in integrierten Schaltungen, insbesondere für Bitleitungskontakte in
25 einem Speicherzellenfeld, zu verbessern sowie eine in bezug auf Integration und Performance verbesserte Speicherzelle herzustellen.

Diese Aufgabe wird durch ein Verfahren zur Herstellung eines
30 Metall/Halbleiter-Kontaktes auf einer Halbleiterscheibe gemäß Anspruch 1 und durch eine Speicherzelle gemäß Anspruch 10 gelöst. Bevorzugte Weiterbildungen sind in den abhängigen Ansprüchen angegeben.

35 Gemäß der Erfindung wird zur Herstellung eines Metall/ Halbleiter-Kontaktes nach der Strukturierung der Isolatorschicht und der daran anschließenden Dotierung des Kontaktloch-

bereichs zur Erzeugung eines lokal begrenzten elektrischen Bereichs die Deposition eines Metalls oder einer Metalllegierung durchgeführt.

- 5 Ein wesentlicher Vorteil der Verwendung eines Metalls bzw. einer Metallegierung, insbesondere von Wolfram, Aluminium oder Kupfer, zum Auffüllen des Kontaktloches ist, dass sich bei geeigneter Dotierung des Halbleitersubstrates im Kontaktlochbereich ein wesentlich geringerer Kontaktwiderstand an
10 der Metall/Halbleiter-Kontaktfläche im Vergleich zum Kontaktwiderstand einer Polysilizium/Halbleiter-Kontaktfläche beim Polysilizium-Prozess ergibt. Hierdurch wiederum werden bei Bitleitungskontakten für einen dynamischen Schreib/ Lese-
15 speicher mit wahlfreiem Zugriff (DRAM) eine deutliche Steigerung des Sättigungsstromes des zugehörigen Auswahltransistors erreicht.

- Ebenso vom Vorteil ist, dass bei dem erfindungsgemäßen Metall/Halbleiter-Kontakt im Vergleich zum Polysilizium-Prozess die Ausdiffusion von Dotierstoff in benachbarte Strukturelemente, insbesondere in den Kanalbereich des Auswahltransistors und damit auch die hieraus folgenden Funktionsstörungen der betroffenen Strukturelemente wesentlich besser kontrolliert werden können. Durch den günstigeren Kontaktwiderstand des Metall/Halbleiter-Kontaktloches im Vergleich
20 zum Polysilizium-gefüllten Kontaktloch ist eine Einschränkung der Dimensionierung der integrierten Strukturen möglich. Mit dem erfindungsgemäßen Verfahren lässt sich damit insbesondere bei DRAMs eine höhere Integrationsdichte erreichen.

- 30 Ein wesentlicher Vorteil der Erfindung ist auch, dass bei der Ausführung des Kontaktes als Metall/Halbleiter-Kontakt der beim Polysilizium-Prozess nach der photolithographischen Strukturierung des Kontaktloches zur Entfernung des nativen
35 Oxids durchgeführte Reinigungsschritt mit BHF wesentlich kürzer ausfallen kann. Hierdurch können die starke Aufweitung des Kontaktloches wie beim Polysilizium-Prozess sowie das mit

dieser Aufweitung verbundene Risiko von Kurzschlüssen zwischen benachbarten Kontaktleitungen deutlich gesenkt werden. Somit werden die aufgrund der Aufweitung der Kontaktlöcher beim Polysilizium-Prozess zwangsweise durchgeführte reduzierte Dimensionierung der Kontaktlöcher und die damit verbundene Einschränkung des Prozessfensters bei der Herstellung der Kontaktstrukturen weitgehend vermieden.

Durch die Verwendung von Ti bzw. Ti/TiN gemäß einer bevorzugten Ausführungsform der Erfindung als Material für die Linerschicht, die als eine Zwischenschicht zwischen dem Halbleitersubstrat und der Metallfüllung des Kontaktloches eingebracht wird, sowie den Einsatz eines Sputterverfahrens, eines chemischen Abscheidungsverfahrens aus der Gasphase (CVD) oder eines atomaren Schicht-Abscheidungsverfahrens (ALD) wird bei dem erfindungsgemäßen Verfahren eine gleichmäßige Beschichtung auch eines Kontaktloches mit hohem Aspektverhältnis, insbesondere eines Bitleitungskontaktloches einer dynamischen Speicherzelle ermöglicht. Hierdurch lassen sich zuverlässig mögliche durch die Metallisierung hervorgerufene Schäden im Halbleitersubstrat verhindern.

Gemäß einer weiteren bevorzugten Ausführungsform der Erfindung findet nach dem Durchführen einer Dotierung der Halbleiterscheibe im Kontaktlochbereich ein Ausheizen des Halbleitersubstrates zum Ausbilden der lokal begrenzten elektrischen Kontaktschicht statt. Hierdurch werden mögliche, durch die Dotierung hervorgerufenen Schäden im Kristallgitter des Halbleitersubstrates ausgeheilt, so dass keine Funktionseinschränkungen der mit Hilfe des erfindungsgemäßen Verfahrens hergestellten Strukturen entstehen.

Gemäß einer weiteren bevorzugten Ausführungsform der Erfindung findet die Dotierung im Kontaktloch für den Bitleitungskontakt und die Peripheriekontakte einer Speicherzelle in einem Zellenfeld unter Verwendung einer Maske in einem gemeinsamen Prozessschritt statt, so dass durch die erfindungs-

gemäßige Ausführung des Bitleitungskontaktes als ein Metall/Halbleiter-Kontakt sogar weniger Prozessschritte gegenüber dem Polysilizium-Prozess bei der Herstellung eines DRAMs notwendig werden.

5

Gemäß einer weiteren bevorzugten Ausführungsform der Erfindung, bei der die Strukturierung des Kontaktloches in der Isolatorschicht auf der Halbleiterscheibe mit Hilfe des Dual-Damascene Verfahrens erfolgt, kann der im allgemeinen notwendige separate Reinigungsschritt des Bitleitungskontaktes mit BHF ganz entfallen, wodurch eine ungewollte Kontaktlochaufweitung, die durch den Reinigungsprozess hervorgerufen werden könnte, vollständig vermieden wird.

10

15 Die Erfindung wird anhand der beigefügten Zeichnungen näher erläutert.

Es zeigen:

20

Figuren 1A bis 1E eine erfindungsgemäße Prozessfolge zur Herstellung eines Metall/Halbleiter-Kontaktes einer erfindungsgemäßen Speicherzelle für einen DRAM; und

25

Figuren 2A bis 20 eine weitere erfindungsgemäße Prozessfolge zur Herstellung von Metall/Halbleiter-Kontakten für einen 256 Mbit DRAM.

30

Die erfindungsgemäße Prozessfolge zur Herstellung von Metall/Halbleiter-Kontakten wird am Beispiel eines Bitleitungskontaktes für eine Speicherzelle in einem dynamischen Schreib/Lesespeicher mit wahlfreiem Zugriff (DRAM) dargestellt, wobei die Speicherzelle einen Grabenkondensator aufweist. Es ist jedoch im Sinne der Erfindung die erfindungsgemäße Prozessfolge auch auf anders ausgebildete Speicherzellen anzuwenden. Ebenso im Sinne der Erfindung ist die analoge Anwendung des oben dargestellten Prozesses auf Strukturen mit komplementären Dotierungen.

35

Figuren 1A bis 1E zeigen Querschnitte durch eine Halbleiterscheibe in verschiedenen Prozessstadien zur Ausbildung des Bitleitungskontaktes.

5

Figur 1A zeigt einen Querschnitt der dynamischen Speicherzelle vor dem Ausführen des Bitleitungskontaktes. Die Speicherzelle umfasst einen Grabenkondensator 20 und einen Auswahltransistor 30, deren Herstellung vorzugsweise mit Hilfe der Planartechnik erfolgt. Der Auswahltransistor 30 umfasst zwei n-dotierten Diffusionsbereiche 31 in einem p-dotierten Halbleitersubstrat 10, welche die Source/Drain-Elektroden definieren, sowie einen hoch n-dotierten Bereich 32 über einem Kanal 33 zwischen den beiden Diffusionsbereichen 31, der sich innerhalb einer Isolatorschicht 40 befindet und die Gate-Elektrode bildet. Der Grabenkondensator 20 ist mit einem hoch n-dotierten Material 23 aufgefüllt, das die innere Kondensator-Elektrode bildet. Diese Elektrode wird durch eine dünne Schicht 21 mit einer hohen Dielektrizitätskonstante ϵ_r von einem ebenfalls hoch n-dotierten Bereich 11 im Halbleitersubstrat 10, der die Außenelektrode des Grabenkondensators bildet, getrennt.

Zur Ausbildung einer elektrisch leitfähigen Verbindung mit dem hochdotierten Diffusionsbereich 31 des Auswahltransistors 30 weist die Außenelektrode 11 des Grabenkondensators 20 eine Überlappung mit der Source/Drain-Elektrode 31 des Auswahltransistors 30 auf.

Zum Herstellen einer Kontaktierung der Source/Drain-Elektrode 31 des Auswahltransistors 30 mit einer Bitleitung wird in einem Prozessschritt ein Kontaktloch 50 über der Source/Drain-Elektrode 31 in der Isolatorschicht 40 mit Hilfe des an sich bekannten photolithographischen Verfahrens erzeugt. Eine Entfernung des nativen Oxids im geätzten Kontaktloch 50 kann in einem weiteren Prozessschritt nach einer der bekannten Methoden durchgeführt werden. Alternativ kann das Kontaktloch

50 auch mit Hilfe des Dual-Damascene Verfahrens erzeugt werden, wobei dann vorteilhafterweise auf eine separate Entfernung des nativen Oxids grundsätzlich verzichtet werden kann. Figur 1B zeigt den Querschnitt der Speicherzelle nach der Erzeugung des Kontaktloches 50.

Anschließend wird in einem weiteren Prozessschritt, wie Figur 1C zeigt, eine lokal begrenzte Kontaktschicht 52 in der Substratoberfläche im Kontaktloch 50 erzeugt. Hierzu wird die im Kontaktloch 50 freigelegte Substratoberfläche vorzugsweise mit einem ionisierten Dotierstoff 51 beschossen. Der durch diesen Prozess erzeugte hochdotierte Bereich 52 an der freigelegten Kontaktfläche im Halbleitersubstrat besitzt eine sehr geringe laterale Unterwanderung der Isolatorschicht 40 und damit der Gate-Elektrode 32. Die durch die Ionenimplantation im Kontaktlochbereich 52 möglicherweise hervorgerufenen Schäden des Festkörpergitters der Halbleiteroberfläche werden anschließend durch einen Ausheizschritt ausgeheilt.

Alternativ kann die lokal begrenzte Kontaktschicht 52 in der Substratoberfläche im Kontaktloch 50 auch mit einem anderen Dotierverfahren erzeugt werden, z.B. mit Hilfe eines auf der Diffusion eines Dotierstoffes basierenden Verfahrens. Bei einem solchen alternativen Dotierverfahren kann dann, wenn durch die Anwendung eines solchen Verfahrens keine gravierenden Schäden des Halbleitersubstrates im Kontaktloch 50 auftreten, der Ausheizschritt mit geringerer Dauer bzw. Temperatur erfolgen oder gänzlich entfallen.

In einem weiteren Prozessschritt wird dann eine Liner-Schicht 60 mit Hilfe einer Depositionsmethode im Kontaktloch 50 abgeschieden. Insbesondere wird hierzu ein Sputterverfahren eingesetzt, da sich so zuverlässig eine ausreichende Bodenbedeckung im Kontaktloch ergibt. Die Liner-Schicht 60 verhindert schädliche chemischen Reaktionen, die bei Verwendung bestimmter Metalle im Rahmen einer Metallisierung des Kontaktloches 50 im Diffusionsbereich 52 hervorgerufen werden. Hier-

bei ist vorzugsweise eine Liner-Schicht 60 aus einem Metall insbesondere Ti oder Ti/TiN oder einer Metallegierung vorgesehen. Um einen günstigen Kontaktwiderstand zum Substrat zu erreichen und eine wirkungsvolle Barriere gegen Substrat-

5 schädigungen bei der Metallabscheidung zu bekommen, kann die deponierte Liner-Schicht 60 im weiteren Verlauf des Prozesses auch noch geheizt werden. Figur 1D zeigt die Speicherzelle nach der Abscheidung der Liner-Schicht 60.

- 10 Um eine elektrisch leitende Verbindung zwischen einer Bitleitung und dem Diffusionsbereich 31 des Auswahltransistors 30 herzustellen, wird das Kontaktloch 50 mit Hilfe einer an sich bekannten Abscheidungsmethode mit einem Metall oder einer Metallegierung, hierbei vorzugsweise Wolfram, Aluminium
- 15 oder Kupfer, wie in Figur 1E gezeigt, aufgefüllt. Die Bitleitungsmetallisierung wird dabei vorzugsweise gleichzeitig mit der Füllung der peripheren Kontaktlöcher ausgeführt. Anschließend folgt ein an sich bekannter Reinigungsschritt zur Beseitigung der Materialrückstände und Planarisierung der
- 20 Oberfläche.

Das oben dargestellte Ausführungsbeispiel des erfindungsgemäßen Verfahrens verwendet zum Auffüllen des Bitleitungskontaktlochs 50 ein Metall oder eine Metallegierung. Der mit-

25 tels dieses Verfahrens hergestellte Bitleitungskontakt 55 weist einen deutlich geringeren Kontaktwiderstand gegenüber einem mit Polysilizium gefüllten Bitleitungskontakt auf. Hiermit lässt sich im Vergleich zum Polysilizium-gefüllten Kontakt eine deutliche Steigerung des Sättigungsstromes des

30 Auswahltransistors 30 erreichen. Da auch der notwendige Reinigungsschritt mit BHF im Vergleich zum Polysilizium-Prozess deutlich kürzer ausfällt, kommt es bei dem oben dargestellten Herstellungsprozess lediglich zu geringen Aufweitung

35 des Bitleitungskontaktloches 50, wodurch das Risiko von Kurzschlüssen zwischen zwei benachbarten Bitleitungskontakten 55 deutlich gesenkt wird.

Eine weitere erfindungsgemäße Prozessfolge zur Herstellung von erfindungsgemäßen Metall/Halbleiter-Kontakten wird am Beispiel eines 256 Mbit DRAMs mit Hilfe des Dual-Damascene Verfahrens dargestellt.

5

Figuren 2A, 2C, 2E, 2G und 2I bis 2K sowie 2M bis 2O zeigen einen Querschnitt durch eine Siliziumscheibe 10 mit einem Grabenkondensator 20 und einem Auswahltransistor 30 in verschiedenen Prozessstadien zur Ausbildung eines Bitleitungskontaktes sowie weiterer Peripherie-Kontakte. Des Weiteren sind zur Veranschaulichung der einzelnen Prozessschritte die Aufsichten der strukturierten Oberfläche in den Figuren 2B, 2D, 2F, 2H und 2L dargestellt, die die Schnittebene entlang der Linie 100 in den vorhergehenden Figuren zeigen. Bei der in Figuren 2A bis 2O gezeigten Prozessfolge wird als Metall zum Auffüllen der Leitungsbahnen sowie der Kontaktlöcher Wolfram verwendet.

10

15

20

25

30

35

Figur 2A zeigt die Siliziumscheibe 10, die schwach p-dotiert ist und einen vergrabenen n-dotierten Bereich 11 sowie weitere, nicht näher beschriebene n- bzw. p-dotierten Wannen aufweist, die in vorangegangenen Prozessschritten erzeugt wurden. In dieser Siliziumscheibe 10 sind ebenfalls aus vorangegangenen Prozessschritten zwei Grabenkondensatoren 20 sowie weitere periphere Strukturen ausgebildet. Jeder Grabenkondensator 20 ist mit Arsen-dotiertem Polysilizium 23 gefüllt, das die Innenelektrode des Grabenkondensators bildet. Diese Elektrode weist in einem unteren Teil des Grabens eine Nitridschicht 21 mit einer hohen Dielektrizitätskonstante ϵ_r und in einem oberen Bereich 22 des Grabens eine SiO_2 -Schicht mit einer geringeren Dielektrizitätskonstante ϵ_r' auf, welche die Elektrode von dem hoch n-dotierten Bereich 11 im Halbleitersubstrat 10 trennen. Dieser hoch n-dotierte Bereich 11 bildet die Außenelektrode des Grabenkondensators 20. Zur Kontaktierung eines Grabenkondensators 20 mit dem jeweiligen Auswahltransistor 30 ist im oberen Bereich 22 des Grabens eine Schicht aus Phosphor-dotiertem Polysilizium ausgebildet.

Direkt an die beiden Kondensatoren 20 angrenzend sind zwei Auswahltransistoren 30 ausgebildet. Jeder der beiden Auswahltransistoren 30 weist zwei hoch n-dotierte Diffusionsbereiche 31 auf, die als stromliefernde (Source) und stromaufnehmende (Drain) Elektroden dienen. Über einem Kanalbereich zwischen den beiden Elektroden 31 befindet sich eine, in einer vorzugsweise aus Si_3N_4 bestehenden Isolatorschicht 41 eingebettete Steuerelektrode (Gate) 32, die vorzugsweise aus Phosphor-dotiertem Polysilizium besteht und durch eine weitere elektrisch nicht leitende Schicht vom Kanalbereich isoliert wird. Die Gate-Elektrode 32 erzeugt im Betrieb der Speicherzelle ein elektrisches Feld im p-Kanalbereich und öffnet einen Leitungs kanal 33 für den Ein- bzw. Auslesevorgang des Grabenkondensators 20.

Die Speicherzelle in Figur 2A weist aus vorangegangenen Verfahrensschritten noch weitere Strukturen auf, die für die Erfindung nicht wesentlich sind, so dass auf sie hier nicht näher eingegangen wird. Die Oberfläche der Speicherzelle ist weiterhin mit einer isolierenden Schicht 40 bedeckt, die vorzugsweise aus SiO_2 besteht und in einem früheren Prozessschritt in einem TEOS-Gasphasenabscheidungsverfahren und durch einen daran anschließenden Temperaturschritt erzeugt wurde. Figur 2B zeigt eine Aufsicht auf die unstrukturierte Isolatorschicht 40.

Zur Ausbildung einer leitenden Verbindung zwischen den n-dotierten Elektroden 31 der Auswahltransistoren 30 und einer Bitleitung werden nun, wie in Figur 2C gezeigt, in einem ersten Prozessschritt mit Hilfe der Lithographietechnik Kontaktlöcher für die Bitleitungskontakte definiert. Hierzu wird eine Schicht Photolack 42 auf der Isolatorschicht 40 aufgetragen, die anschließend unter Verwendung einer Photolithographie-Maske (hier nicht dargestellt) belichtet und dann entwickelt wird. Figur 2D zeigt eine Aufsicht der struk-

turierten Photolackschicht 42 mit den Strukturen für die Bitleitungskontaktstellen 53 der Speicherzelle.

Die Strukturierung der Isolatorschicht 40, 41 zur Ausbildung der Kontaktlochstrukturen wird mit Hilfe des Dual-Damascene Verfahrens durchgeführt. Hierbei wird zunächst die oberste Isolatorschicht 40 mit Hilfe eines herkömmlichen Nassätzverfahrens strukturiert. Die hierbei erzeugten Strukturen dienen dann anschließend als Maske für die weitere Nassätzung der unteren Isolatorschicht 41. Durch die Verwendung der Dual-Damascene Technik zur Strukturierung der Kontaktlöcher in dem hier dargestellten Ausführungsbeispiel fällt die im allgemeinen nach einer Lithographischen Strukturierung notwendige Reinigung des Kontaktloches mit BHF ganz weg.

Wie in Figur 2E gezeigt wird dann in den mit Hilfe des Lithographieschrittes freigelegte Substratoberflächen der Kontaktlöcher 50 eine Ionenimplantation durchgeführt. Dabei werden beschleunigte Arsen-Ionen 51 auf die Halbleiteroberfläche der Kontaktlöcher geschossen. Die so entstandenen Bereiche 52 der Halbleiteroberfläche weisen eine hohe Dotierung mit Arsen auf und bilden die Kontaktschicht für die im weiteren Verlauf des Prozesses folgende Metallisierung der Bitleitungskontakte 50. Alternativ lässt sich die Ionenimplantation auch mit Phosphor-Ionen durchführen. Figur 2F zeigt die Aufsicht der strukturierten Isolatorschicht 40 mit den Löchern für die Bitleitungskontakte der Speicherzellen.

In den folgenden Prozessschritten wird nun erneut eine lithographische Strukturierung der beiden Isolatorschichten 40, 41 zur Erzeugung von Kontaktlöchern 70 in der Peripherie des Speicherzellenfeldes durchgeführt. Hierzu wird, wie in Figur 2G gezeigt, eine Schicht Photolack 43 auf die Oberfläche aufgebracht und anschließend unter Verwendung einer Maske belichtet und mit einem herkömmlichen Verfahren entwickelt. Die Erzeugung der Strukturen findet, wie in Figur 2I gezeigt, mit Hilfe eines Plasma-Ätzverfahrens 73 statt. Die Oberfläche

wird danach wie im ersten Lithographieschritt von dem Photolack 43 befreit. Figur 2H zeigt die Aufsicht der strukturierten Photolackschicht 43 mit Löchern für Kontakte 70 in den peripheren Strukturen der Speicherzellen.

5

Die Figur 2J zeigt eine weitere Ionenimplantation 71 auf der durch die vorangegangene lithographische Strukturierung freigelegte Substratoberfläche der peripheren Strukturen. Hierbei wird im ersten Schritt ein spezieller, für die verwendeten Ionen geeigneter Photolack (hier nicht dargestellt) auf die Oberfläche aufgebracht und entwickelt. Die folgende Implantation von Arsen-Ionen 71 findet nur in den durch den Photolack nicht abgedeckten Bereichen der peripheren Kontaktstrukturen statt. Die auf diese Weise präparierten Bereiche 72 im Halbleitersubstrat 10 weisen so eine Kontaktschicht mit hoher Arsen-Dotierung auf.

10

15

Nach dem Entfernen des Photolackes erfolgen Nassreinigungsschritte nach der Piranha- und der Huang/Megasonic-Methode.

20

Alternativ lassen sich die beiden in Figuren 2E und 2J dargestellten Implantationsprozesse 51, 71 mit Hilfe einer modifizierten Maske in einem gemeinsamen Prozessschritt durchführen.

25

Als nächstes wird nun eine Temperung der Implantationsbereiche 52, 72 durchgeführt. Hierdurch wird eine Ausheilung möglicher, durch die Ionenimplantationen hervorgerufener Schäden im Halbleitersubstrat 10 in den Kontaktlochbereichen erreicht.

30

In einem folgenden Prozessschritt werden die für die Kontaktierung der Bitleitungskontaktlöcher 50 der Speicherzelle sowie der Kontaktlöcher 70 in den peripheren Strukturen notwendigen Leiterbahnen photolithographisch hergestellt. Hierbei wird, wie in Figur 2K gezeigt, die Oberfläche des Wafers mit einer Photolackschicht 44 überzogen, durch eine Maske belichtet und entwickelt. Figur 2L zeigt eine Aufsicht der struk-

35

turierten Photolackschicht 44 mit den Bitleitungsbahnen 54 sowie weiteren Leitungsbahnen 74 in der Peripherie der Speicherzellen.

5 Figur 2M zeigt die anschließend durch Plasma-Ätzung in der Isolatorschicht 40 herausgebildeten Strukturen für die Bitleitungsbahnen 54 sowie weitere Leiterbahnen 74 in den peripheren Strukturen des Speicherzellenfeldes nach dem Entfernen des Photolackes 44 und anschließender Nassreinigung
10 der Oberfläche mit Hilfe der Piranha-Methode.

Figur 2N zeigt einen Querschnitt durch die Wafer-Oberfläche nach Entfernen des nativen Oxids in den Kontaktlöchern und einer anschließenden Deposition einer Liner-Schicht 60. Hierbei wurde ein Metall 60, das im dargestellten Ausführungsbeispiel Titan ist, mit Hilfe eines Sputterverfahrens auf der Oberfläche des Wafers aufgebracht, wobei für eine ausreichende Bodenbedeckung gesorgt wird. Um einen günstigen Kontaktwiderstand zum Substrat zu erreichen und eine
20 wirkungsvolle Barriere gegen Substratschädigungen bei der Metallabscheidung zu bekommen, wird die Liner-Schicht 60 in einem folgenden Prozessschritt ausgeheizt.

Figur 2O zeigt den Wafer nach ausgeführter Bitleitungskontaktierung 55. Hierzu wurde Wolfram im Modified-Chemical-Vapour-Depositions-Verfahren (MCVD) auf die Oberfläche des Wafers abgeschieden und anschließend mittels des chemisch-mechanischen Polierens derart planarisiert, dass das Metall nur noch in den tieferen Strukturen der Bitleitungen 54, 55 sowie der
30 peripheren Kontakte 74, 75 vorhanden ist. Im letzten Schritt der hier dargestellten Prozessfolge wird eine Nassreinigung der Wafer-Oberfläche zur Beseitigung der Politurreste durchgeführt.

35 Im oben dargestellte Ausführungsbeispiel des erfindungsgemäßen Verfahrens wird zur Herstellung der Bitleitungskontakte 55 die Dual-Damascene Technik verwendet. Hierbei

kann das beim Polysilizium-Prozess notwendige Entfernen des nativen Oxids im Kontaktloch mit BHF ganz entfallen. Es kommt deshalb nicht zu einer Aufweitung der Bitleitungskontaktlöcher 50, wie beim Polysilizium-Prozess, so dass das Risiko von Kurzschlüssen zwischen benachbarten Bitleitungskontakten 55 minimiert wird.

In dem dargestellten Verfahren wird zum Auffüllen der Kontaktlöcher für die Bitleitungskontakte sowie für die Peripheriekontakte, dasselbe Metall, hier vorzugsweise Wolfram verwendet, wodurch sich die gesamte Metallisierung in einem Prozessschritt durchführen lässt im Gegensatz zum Polysilizium-Prozess, wo das Auffüllen der Bitleitungskontaktlöcher mit dotiertem Polysilizium einen weiteren Prozessschritt erfordert.

Der nach dem vorgestellten Ausführungsbeispiel hergestellte Bitleitungskontakt 55 weist einen wesentlich geringeren ohmschen Widerstand im Vergleich zu einem, nach dem Polysilizium-Prozess hergestellten Bitleitungskontakt auf. Da es bei einem nach dem oben ausgeführten erfindungsgemäßen Verfahren hergestellten Bitleitungskontakt 55 keine gravierende Ausdiffusion eines Dotierstoffes aus dem Bitleitungskontakt 55 in den Kanalbereich 22 des Auswahltransistors 20, wie beim Polysilizium-Prozess gibt, können mit Hilfe dieses Verfahrens deutlich geringere Abstände der Elektroden 31 zueinander und damit auch eine insgesamt höhere Integrationsdichte der DRAM erreicht werden.

Patentansprüche

1. Verfahren zum Herstellen eines Metall/Halbleiter-Kontak-
5 tes auf einer Halbleiterscheibe mit den Verfahrensschritten:
 - Aufbringen einer Isolatorschicht auf der Halbleiterscheibe;
 - Strukturieren der Isolatorschicht, um ein Kontaktloch zu erzeugen;
 - Durchführen einer Dotierung der Halbleiterscheibe im Kon-
10 taktlochbereich um eine lokal begrenzte elektrische Kon-
taktschicht herzustellen; und
 - Abscheiden eines Metalls oder einer Metallegierung zum Auf-
füllen des Kontaktloches.
- 15 2. Verfahren nach Anspruch 1, wobei zum Ausheilen von beim Dotieren der Halbleiterscheibe hervorgerufenen Substrat-schäden ein Ausheizschritt durchgeführt wird.
- 20 3. Verfahren nach einem der Ansprüche 1 bis 2, wobei die Kontaktlochstrukturierung mit Hilfe des Dual-Damascene Ver-fahrens erfolgt.
- 25 4. Verfahren nach einem der Ansprüche 1 bis 3, wobei zum Auffüllen des Kontaktloches Wolfram, Aluminium oder Kupfer verwendet wird.
- 30 5. Verfahren nach einem der Ansprüche 1 bis 4, wobei vor der Abscheidung im Kontaktloch eine Liner-Schicht vorzugs-weise mit Hilfe eines Sputterverfahrens, eines chemischen Ab-scheideverfahrens aus der Gasphase oder eines atomaren
35 Schicht-Abscheideverfahrens auf den Kontaktlochboden auf-gebracht wird.
6. Verfahren nach Anspruch 5, wobei die Liner-Schicht aus
35 Ti oder Ti/TiN besteht.

7. Verfahren nach einem der Ansprüche 1 bis 6, wobei der Metall/Halbleiter-Kontakt ein Bitleitungskontakt in einem Zellenfeld ist.

5 8. Verfahren nach Anspruch 7, wobei der Metall/Halbleiter-Kontakt zusätzlich als Peripheriekontakt eingesetzt wird.

9. Verfahren nach einem der Ansprüche 1 bis 8, wobei die Dotierung im Kontaktloch für den Bitleitungskontakt und den
10 Peripheriekontakt unter Verwendung einer einzigen Maske durchgeführt wird.

10. Speicherzelle mit einem Auswahltransistor (30) und einem Speicherkondensator (20), die im wesentlichen in einem Halbleitersubstrat (10) ausgeführt sind,
15 wobei eine Isolatorschicht (40) auf dem Halbleitersubstrat (10) vorgesehen ist, in der ein Kontaktloch (50) für einen Bitleitungskontakt (55) des Auswahltransistors (30) ausgebildet ist,
20 wobei der Bitleitungskontakt (55) ein Metall/Halbleiter-Kontakt ist, bei dem eine lokal begrenzte elektrisch leitende Kontaktschicht (52) im Halbleitersubstrat (10) im Kontaktlochbereich (50) vorgesehen ist.

25 11. Speicherzelle nach Anspruch 10, wobei der Bitleitungskontakt (55) aus Wolfram, Aluminium oder Kupfer besteht.

12. Speicherzelle nach einem der Ansprüche 10 bis 11, wobei zwischen dem Halbleiter und der Füllung des Kontaktloches
30 (50) eine Liner-Schicht (60) auf dem Kontaktlochboden aufgebracht ist, die vorzugsweise aus Ti oder Ti/TiN besteht.

13. Speicherzelle nach einem der Ansprüche 10 bis 12, wobei die Speicherzelle Teil einer Speicherzellenanordnung ist und
35 wobei die Peripheriekontakte (75) entsprechend dem Bitleitungskontakt (55) der Speicherzelle ausgeführt sind.

Zusammenfassung

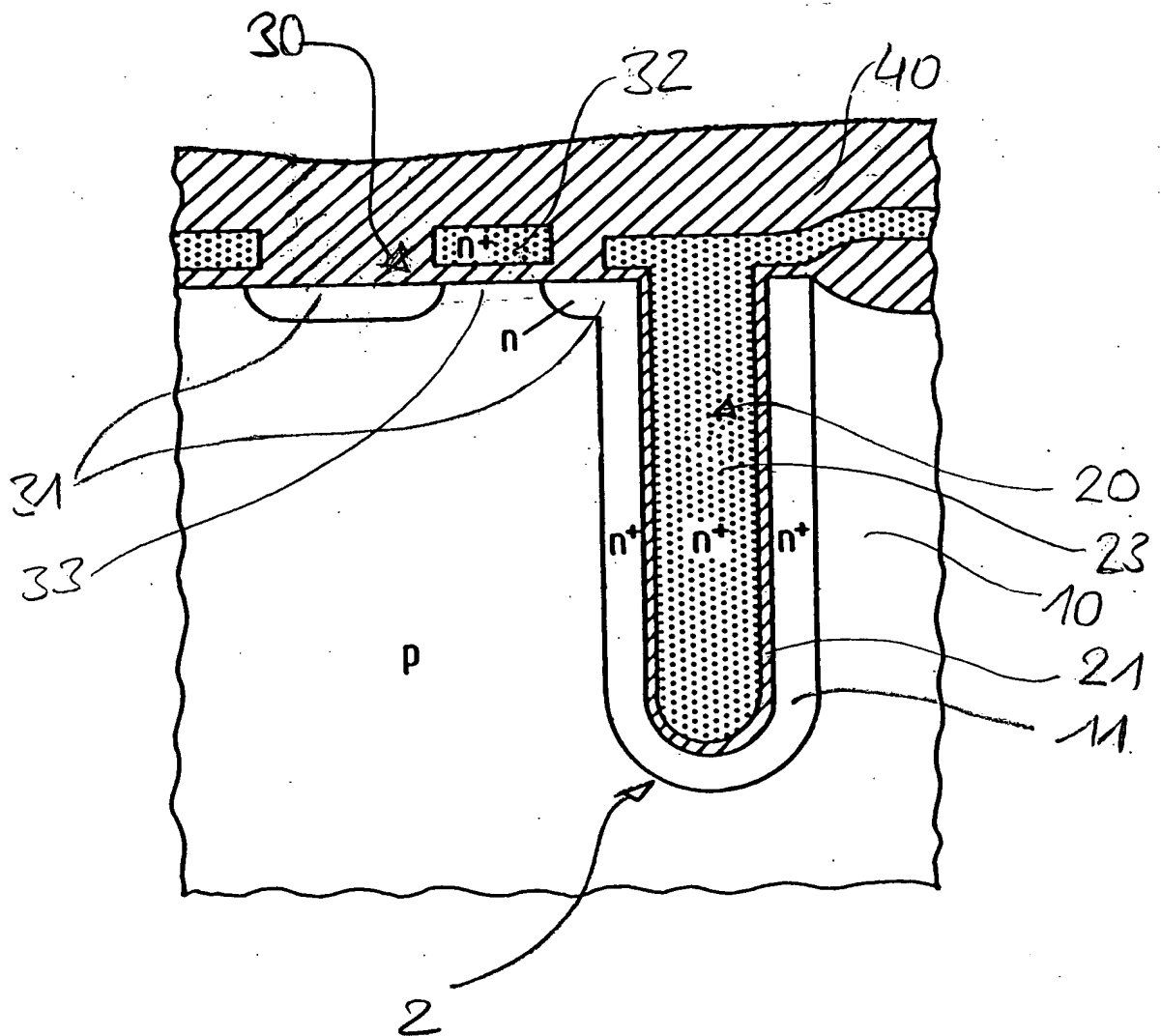
Verfahren zur Herstellung von Metall/Halbleiter-Kontakten

- 5 Gemäß der Erfindung ist bei der Kontaktierung einer Bit-
leitung (55) mit einem Auswahltransistor (30) einer dyna-
mischen Speichereinheit auf einer Halbleiterscheibe das Auf-
füllen eines Kontaktloches (50) mit einem Metall oder einer
Metallegierung vorgesehen, wobei das Halbleitersubstrat (10)
10 im Kontaktloch (50) eine Dotierung aufweist und zwischen dem
Halbleitersubstrat (10) und der Metallfüllung (55) vorzugs-
weise eine Liner-Schicht eingebracht ist.

Fig. 1A

Figur für die Zusammenfassung

Fig. 1A



Bezugszeichenliste

	10	Halbleitersubstrat
	11	p- bzw. n-dotierte Wannen im Halbleitersubstrat
5	20	Grabenkondensator
	23	dotierte Füllung des Grabenkondensators
	21	Dielektrikum des Grabenkondensators
	22	Collar des Grabenkondensators
	30	Auswahltransistor
10	31	hoch n- bzw. p-dotierter Diffusionsbereich
	32	Gate-Elektrode des Auswahltransistors
	33	Leitungskanal des Auswahltransistors
	40	Isolationsschicht
	41	Nitridschicht
15	42	erste Photolackschicht
	43	zweite Photolackschicht
	44	dritte Photolackschicht
	50	Bitleitungskontaktloch
	51	Implantation mit Ionen
20	52	hoch dotierter Kontaktimplantationsbereich
	54	Bitleitungsbahn
	55	Bitleitungskontakt
	60	Liner-Schicht
	70	Kontaktloch in der Peripherie
25	73	Plasma-Ätzung
	71	Implantation mit Arsenionen
	72	hoch dotierter Kontaktimplantationsbereich
	74	periphere Leitungsbahn
	75	peripherer Kontakt
30	100	Querschnittsebene

Fig. 1A

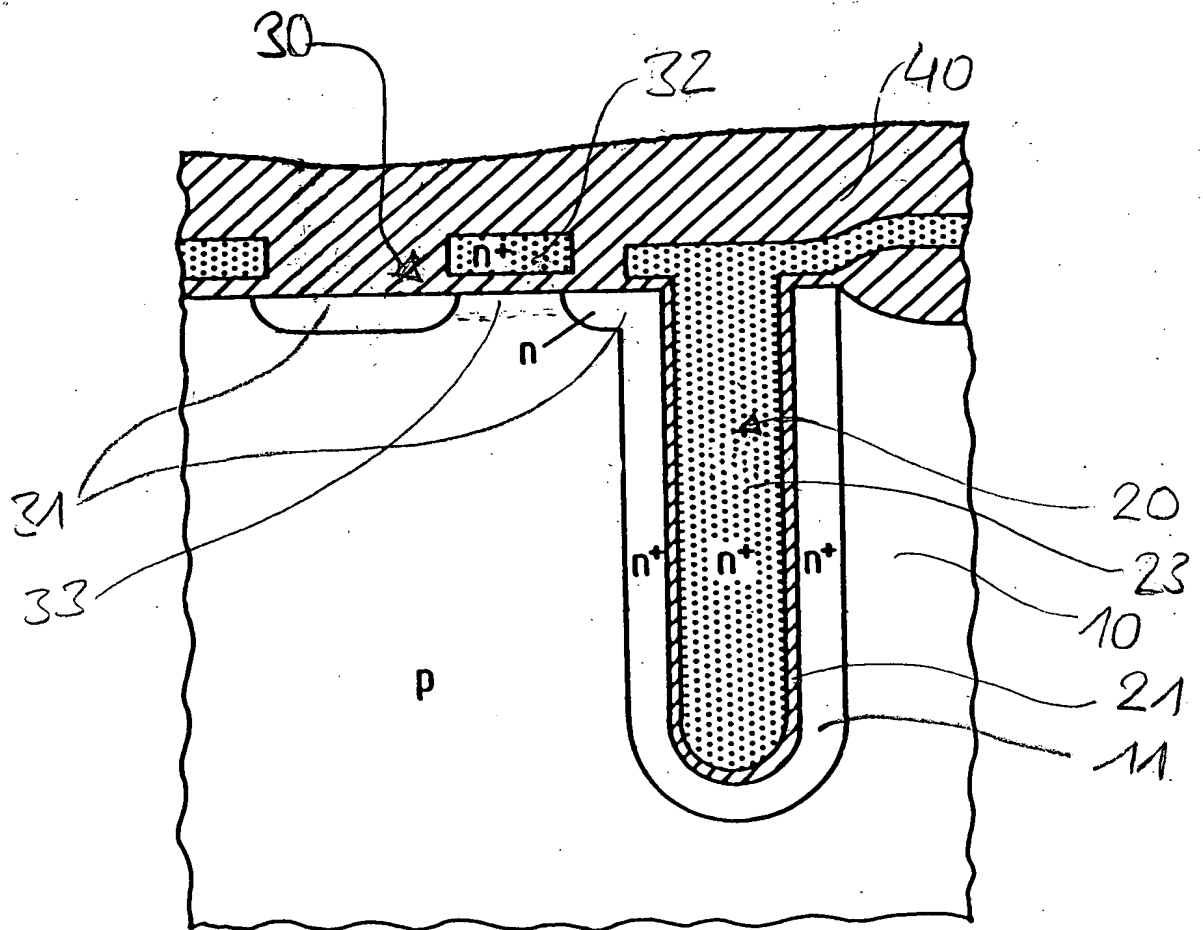


Fig. 1B

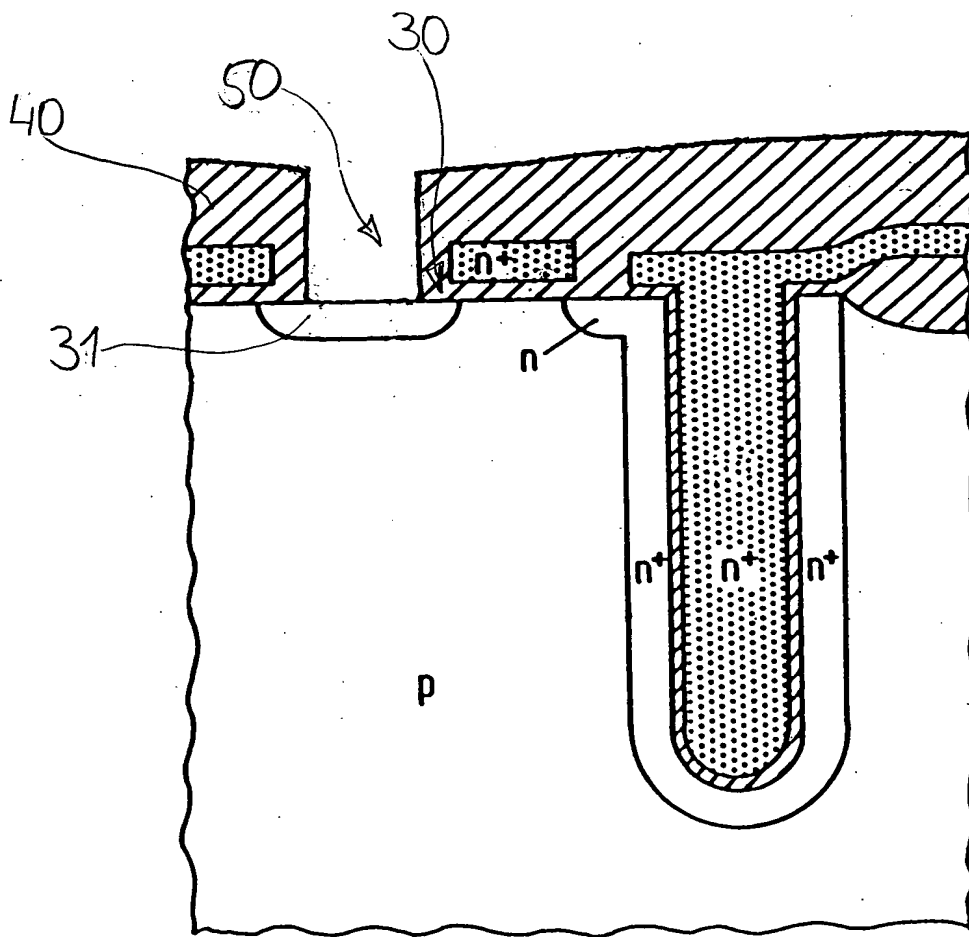
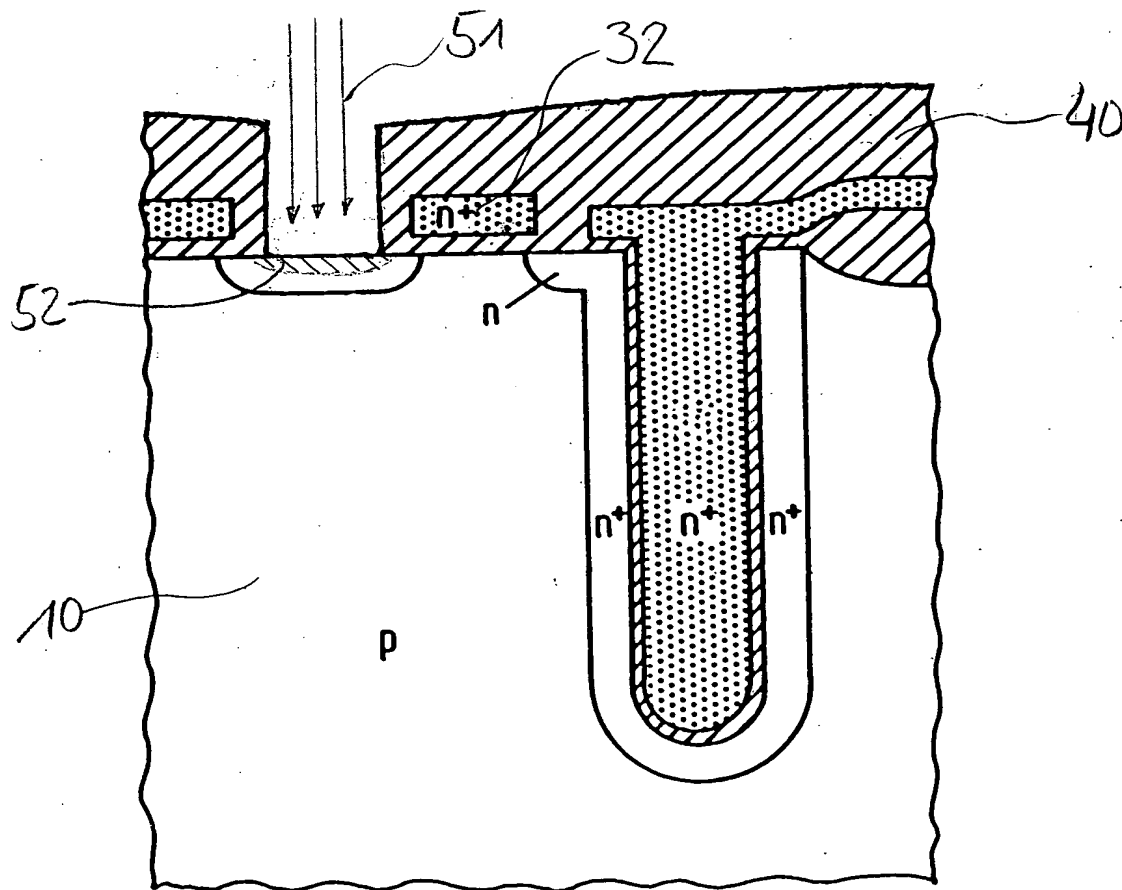
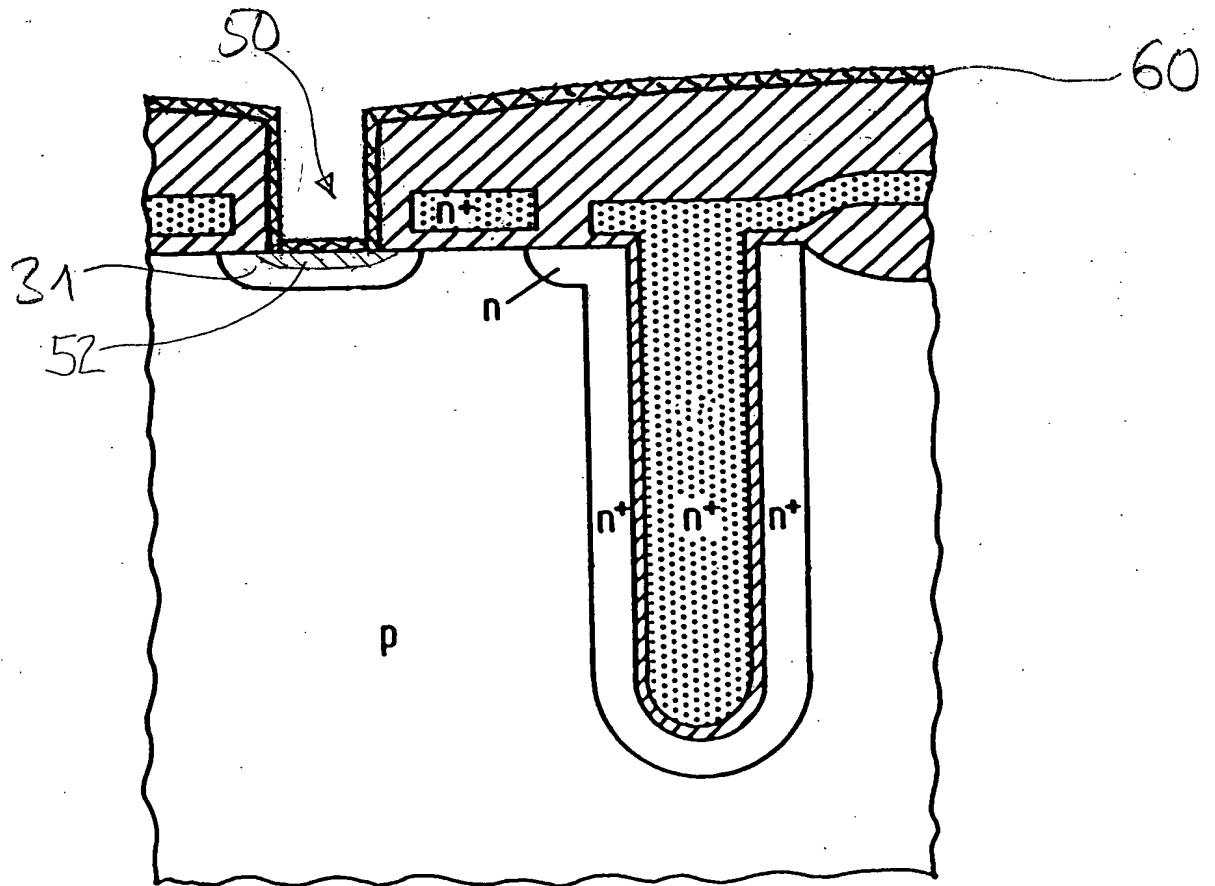


Fig. 1C



4/16

Fig. 1D



5/16

Fig. 1E

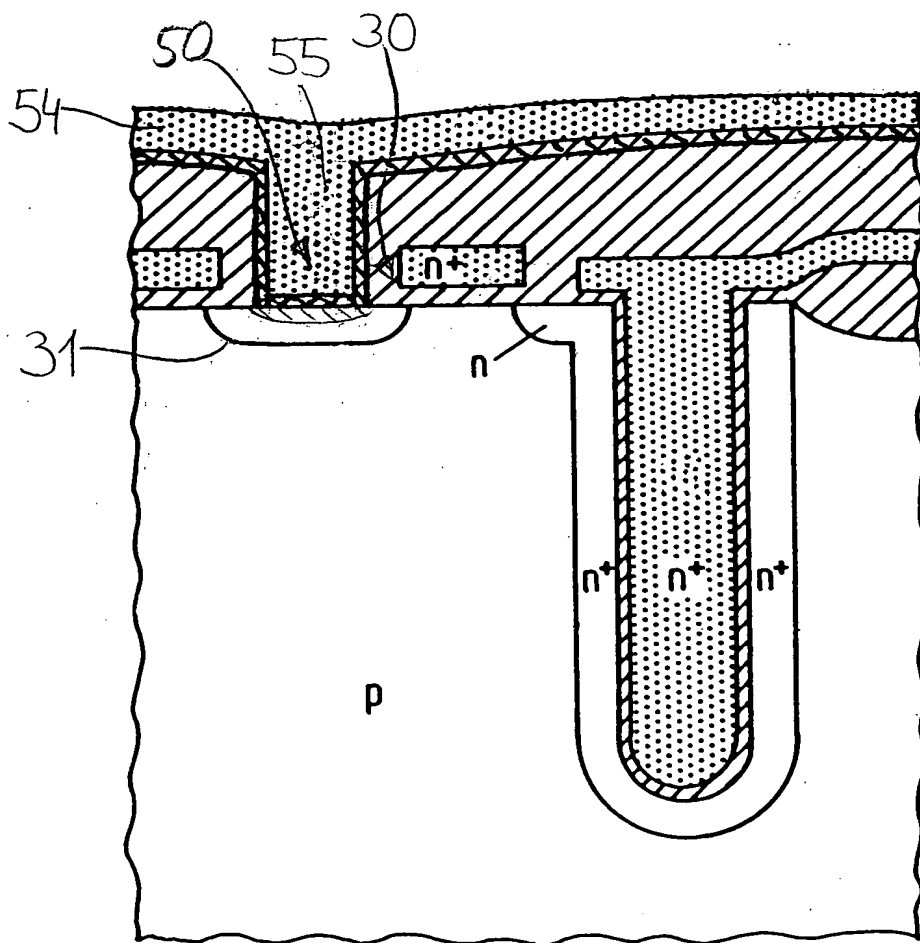


Fig. 2A

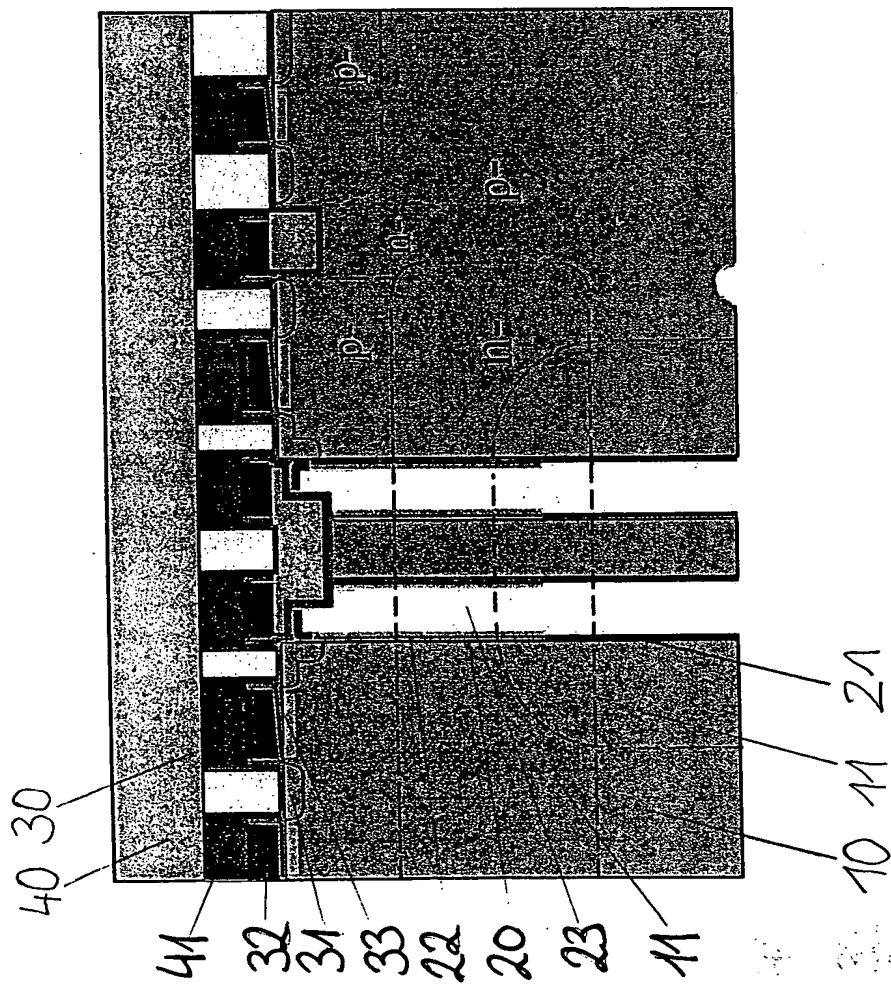


Fig. 2B

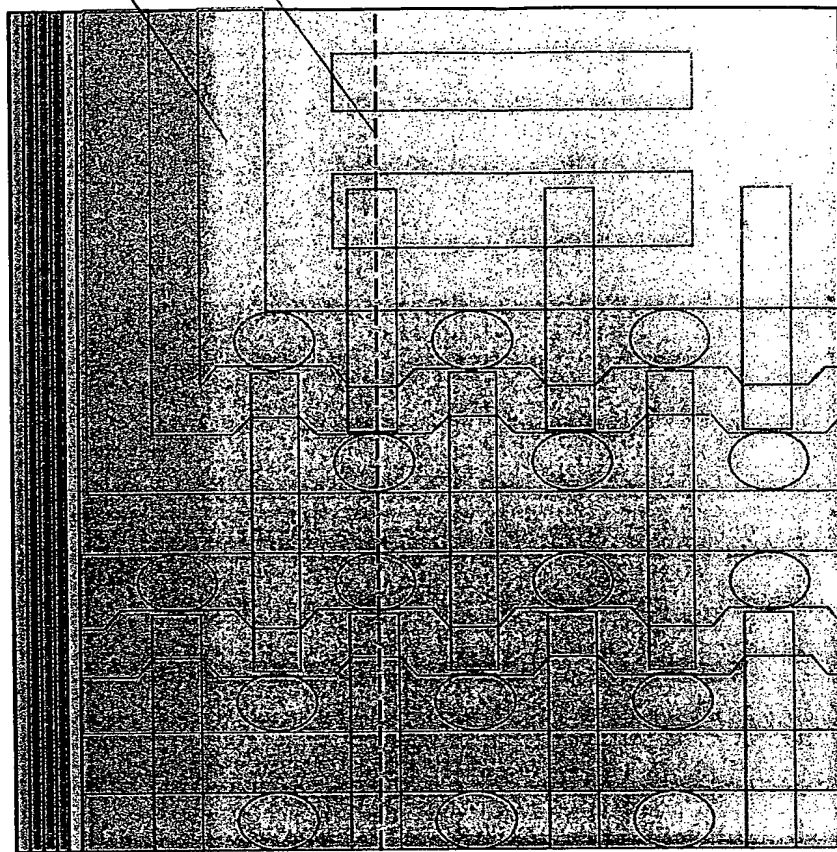


Fig. 2D

50 42

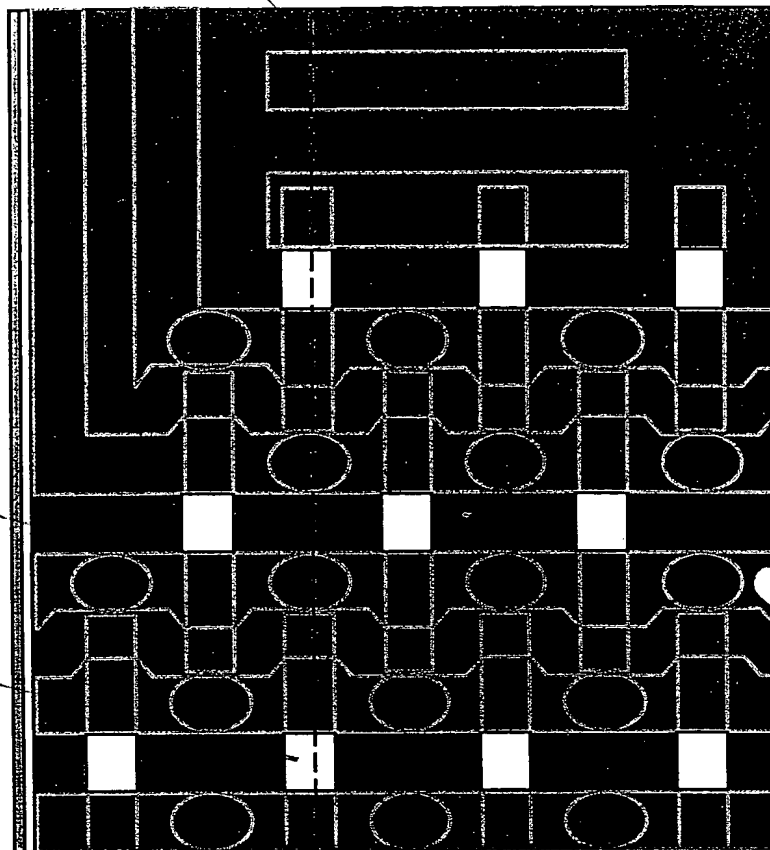


Fig. 2C

50

40

31

31

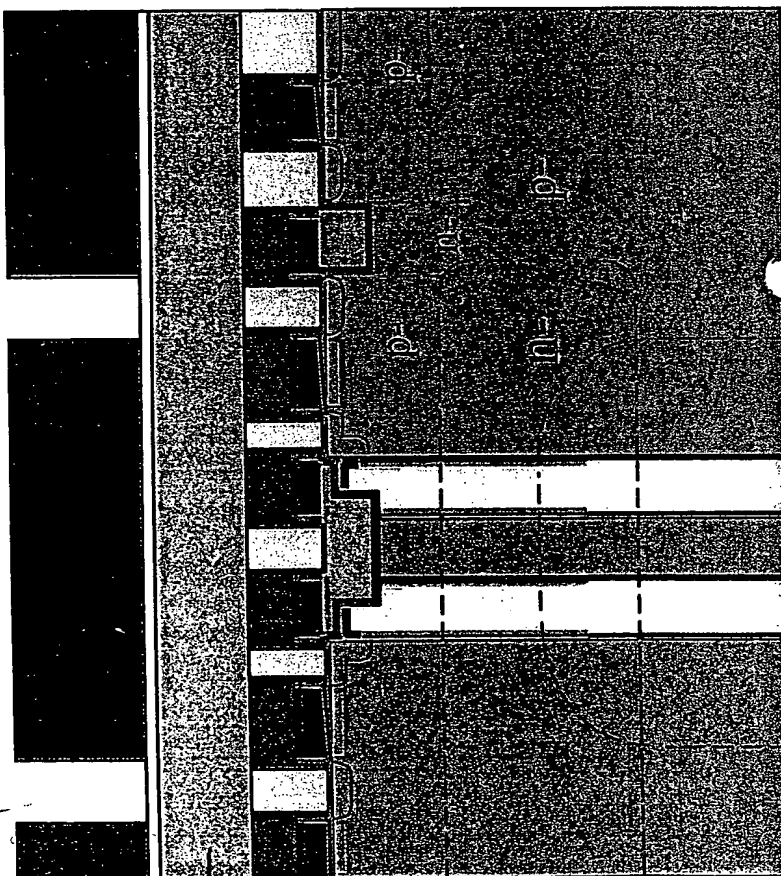


Fig. 2E

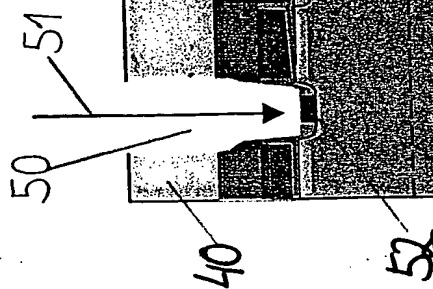


Fig. 2F

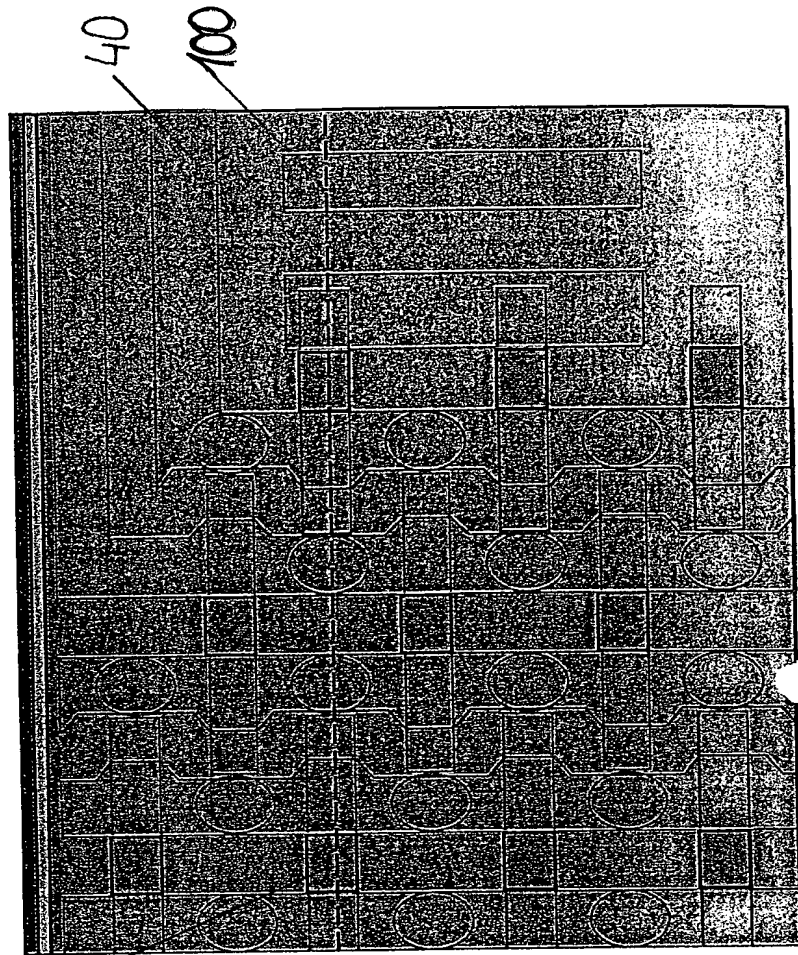


Fig. 2H

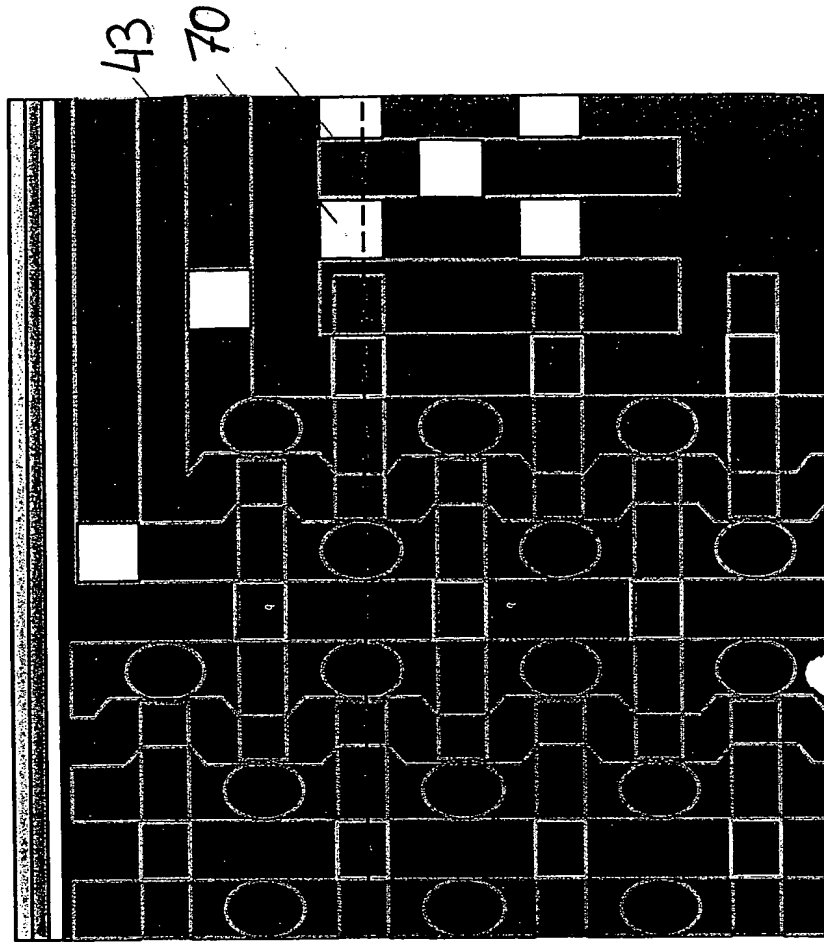


Fig. 2G

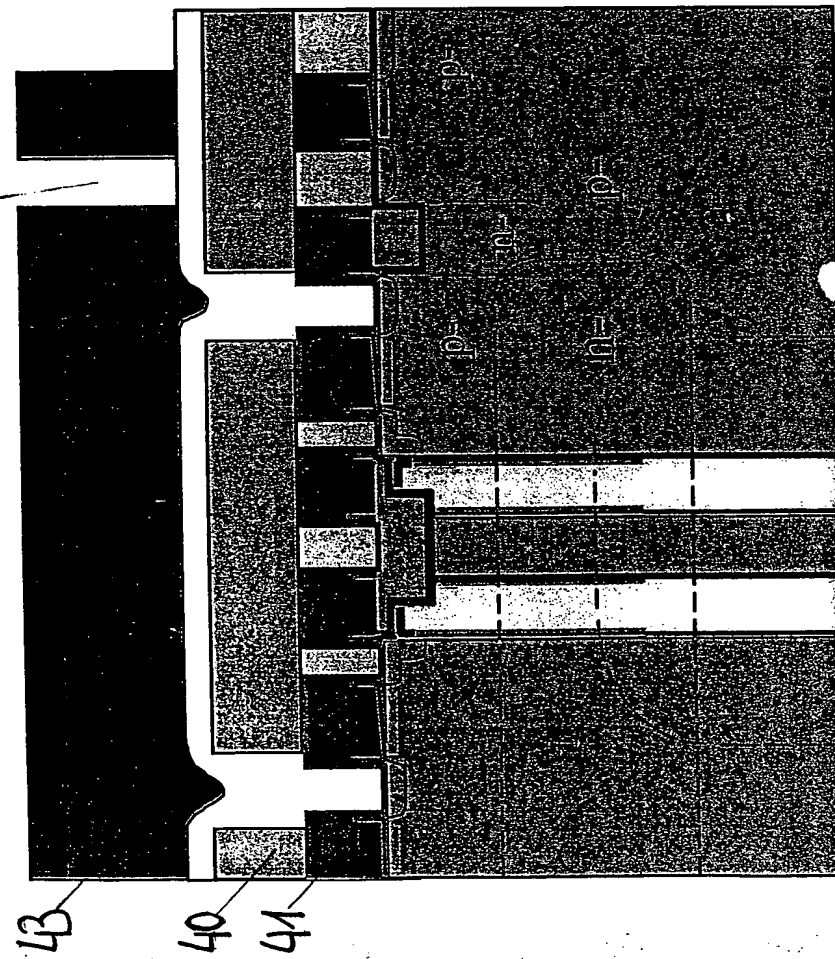


Fig. 2I

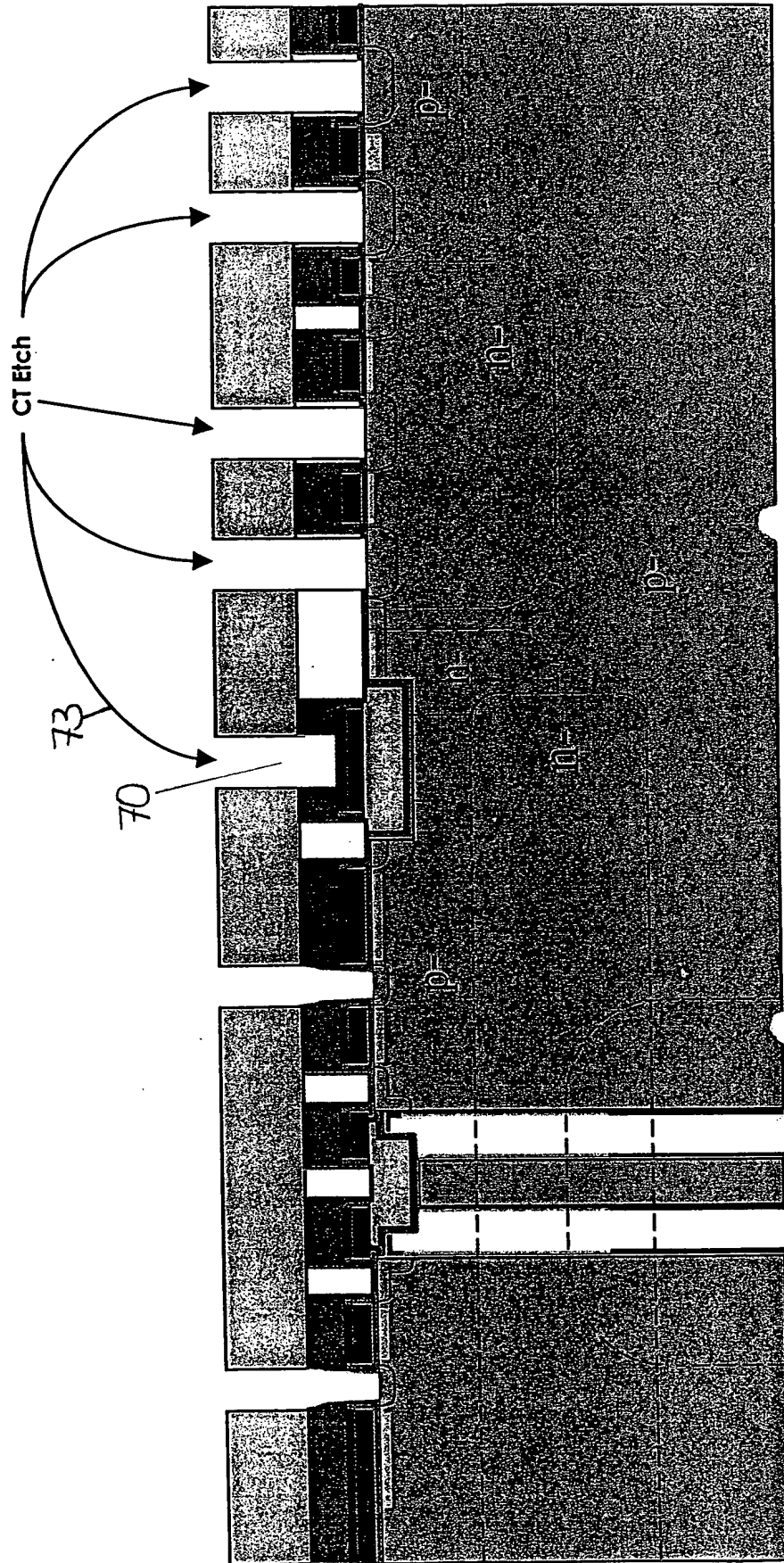


Fig. 2J

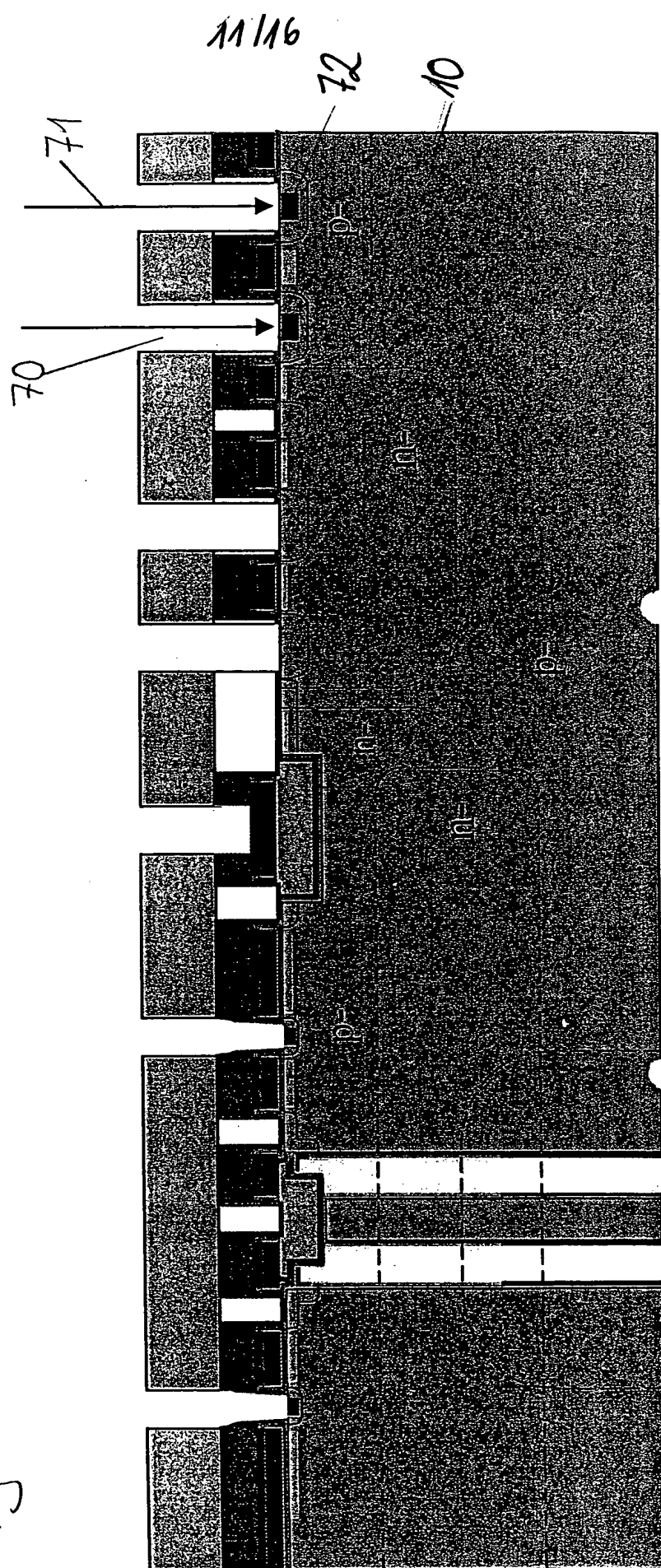


Fig. 2L

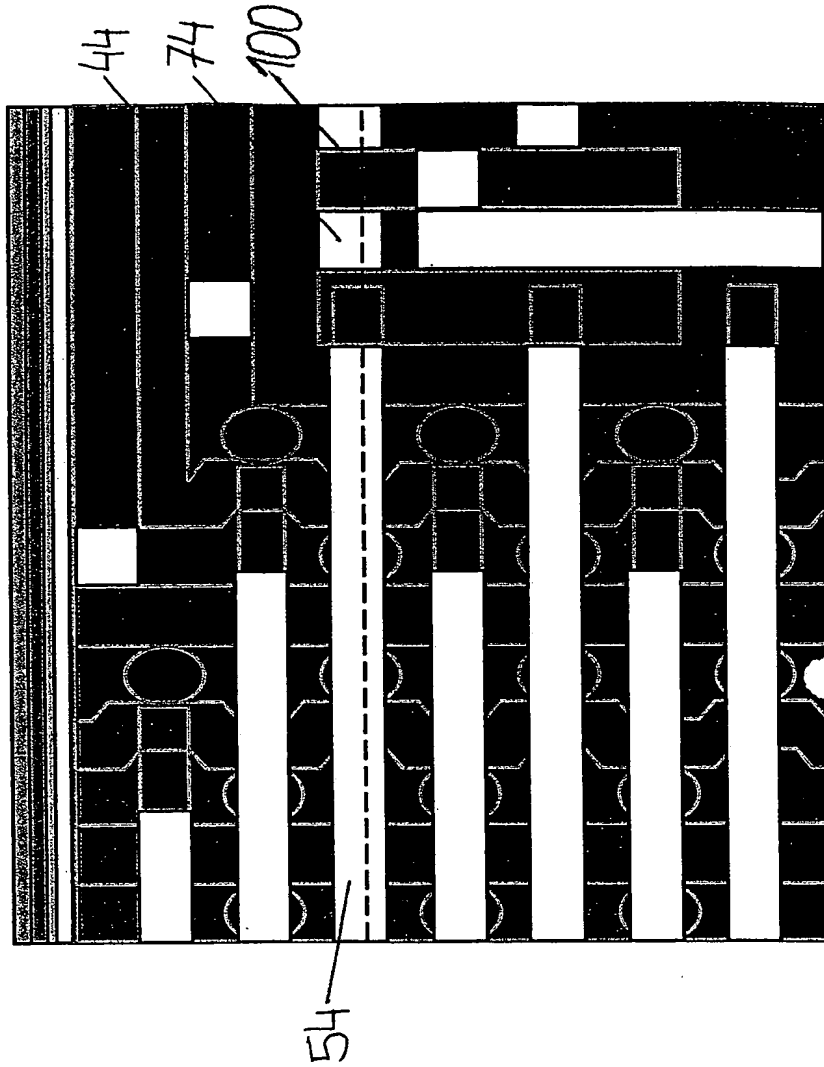


Fig. 2M

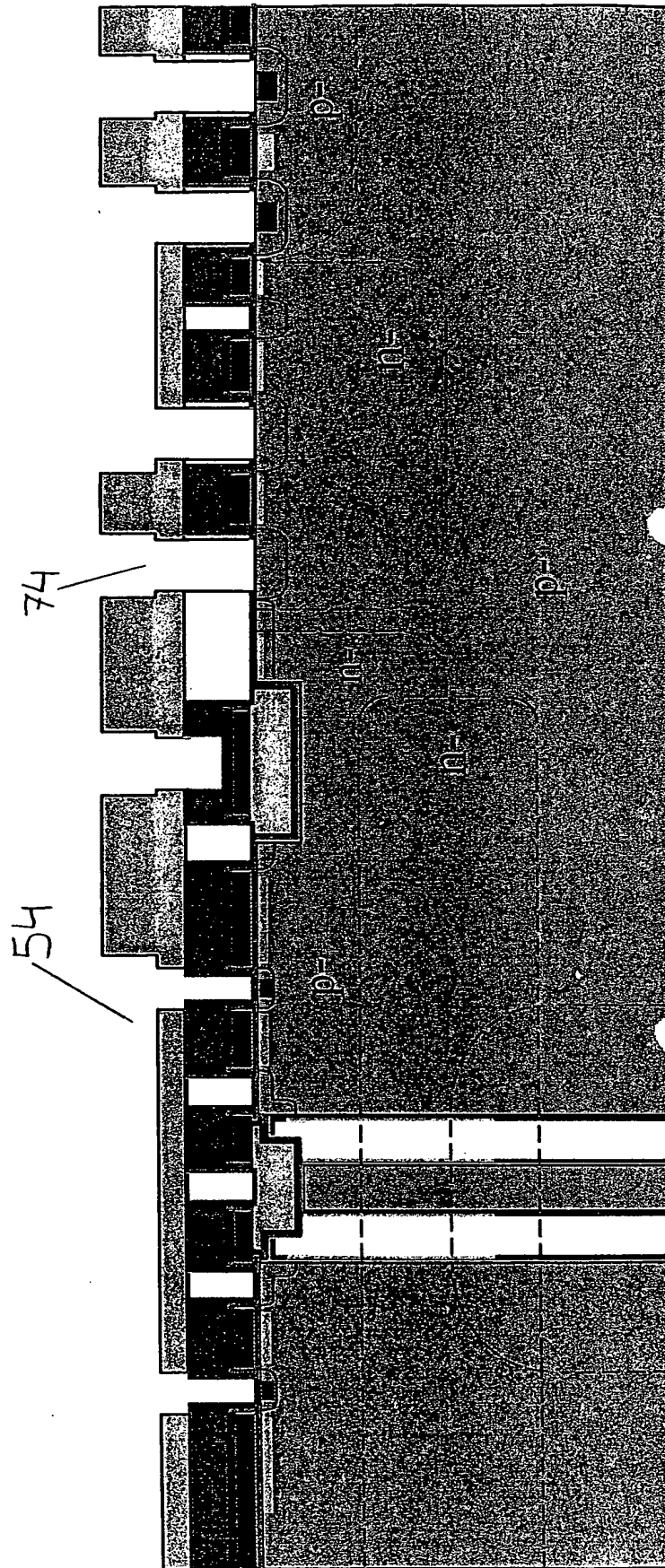


Fig. 2N

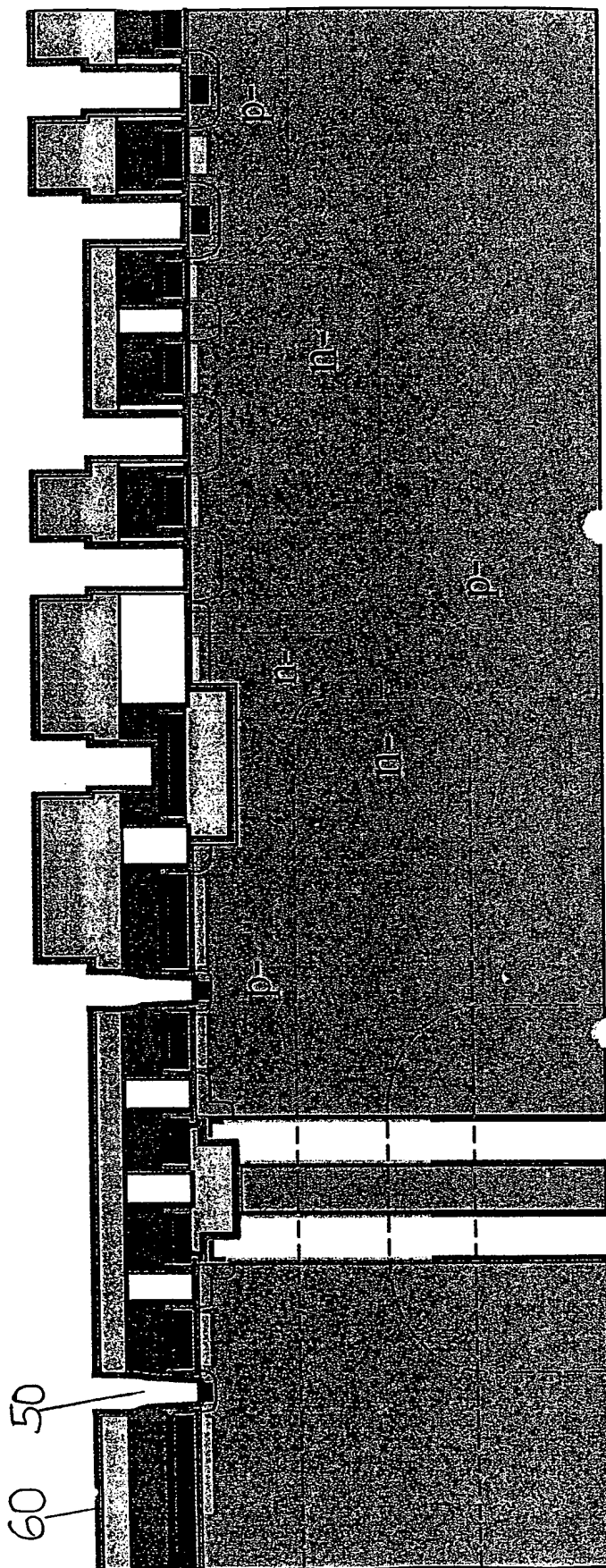


Fig. 20

